

2/1/98
Lauri
6.30.98

JC525 U.S. PRO
09/028276
02/24/98

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 1997年 2月 26日

出願番号
Application Number: 平成 9年特許願第058347号

出願人
Applicant (s): 株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

1997年11月21日

特許庁長官
Commissioner,
Patent Office

荒井寿春

【書類名】 特許願
【整理番号】 4HA9720011
【提出日】 平成 9年 2月26日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/10
【発明の名称】 半導体集積回路装置及びフラッシュEEPROM
【請求項の数】 11
【発明者】
【住所又は居所】 神奈川県川崎市幸区堀川町580番1号 株式会社東芝
半導体システム技術センター内
【氏名】 渥美 滋
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代表者】 西室 泰三
【電話番号】 03-3457-2520
【代理人】
【識別番号】 100097629
【弁理士】
【氏名又は名称】 竹村 壽
【電話番号】 03-3843-4628
【手数料の表示】
【予納台帳番号】 004961
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9004676

【書類名】

明細書

【発明の名称】 半導体集積回路装置及びフラッシュEEPROM

【特許請求の範囲】

【請求項1】 異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、

前記半導体基板に形成された複数の外部端子とを具備し、

前記外部端子に直接接続されるトランジスタには最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを特徴とする半導体集積回路装置。

【請求項2】 異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、

前記半導体基板に形成され、インターフェース回路に接続された複数の外部端子とを具備し、

外部とのインターフェース部分には最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを特徴とする半導体集積回路装置。

【請求項3】 異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、

前記半導体基板に形成された内部電源降圧回路と、

前記半導体基板に形成された外部電源電圧が印加される複数の外部端子とを具備し、

前記内部電源降圧回路に直接接続されるトランジスタには、最もゲート酸化膜の薄いトランジスタを用い、前記外部端子に直接接続されるトランジスタは、最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを特徴とする半導体集積回路装置。

【請求項4】 異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、

前記半導体基板に形成された外部電源電圧を越える3値目の高電圧入力を検知する回路と、

前記半導体基板に形成された複数の外部端子とを具備し、

前記3値目の高電圧入力を検知する回路を構成する前記外部端子と直接接続し

ているトランジスタには最もゲート酸化膜の薄いトランジスタ以上のトランジスタを用いることを特徴とする半導体集積回路装置。

【請求項 5】 異なる 2 種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、

前記半導体基板に形成され、出力バッファ回路に接続された複数の外部端子とを具備し、

前記出力バッファ回路を構成するトランジスタには、最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを特徴とする半導体集積回路装置

【請求項 6】 異なる 2 種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、

前記半導体基板に形成され、出力バッファ回路に接続された出力端子とを具備し、

前記出力バッファ回路を構成するトランジスタの内、前記出力端子に直接接続しているトランジスタのみに最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを特徴とする半導体集積回路装置。

【請求項 7】 異なる 2 種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、

前記半導体基板に形成され、入力バッファ回路に接続された複数の外部端子とを具備し、

前記入力バッファ回路を構成するトランジスタには、最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを特徴とする半導体集積回路装置

【請求項 8】 前記半導体基板に形成されたメモリセルアレイと、

前記半導体基板に形成され、前記メモリセルアレイを構成する複数のメモリセルに接続され、これらメモリセルの各ノードを制御する制御回路とを具備し、

前記制御回路における Y セレクタのゲートに、読み出し時内部昇圧された電位が与えられることを特徴とするフラッシュ EEPROM。

【請求項 9】 前記半導体基板には、異なる 2 種類以上のゲート酸化膜厚を

有する複数のトランジスタが形成され、前記Yセレクタには最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを特徴とする請求項8に記載のフラッシュEEPROM。

【請求項10】 前記半導体基板に形成されたメモリセルアレイと、前記半導体基板に形成され、前記メモリセルアレイを構成する複数のメモリセルに接続され、これらメモリセルの各ノードを制御する制御回路とを具備し、前記制御回路におけるソースデコーダのNMOSドライバゲートに読み出し時内部昇圧された電位が与えられることを特徴とするフラッシュEEPROM。

【請求項11】 前記半導体基板には、異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成され、前記ソースデコーダには最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを特徴とする請求項10に記載のフラッシュEEPROM。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のゲート酸化膜厚を有するトランジスタを1チップに集積させた半導体集積回路装置及びフラッシュEEPROMに関するものである

【0002】

【従来の技術】

従来の半導体集積回路装置は、殆どのデバイスが1種類のゲート酸化膜を利用し、複数のゲート酸化膜厚を用いたトランジスタを1つのチップに集積することはない。しかし、EEPROM(Electrically Erasable Programmable Read-Only Memory)のようにメモリセルの書き込み／消去に高電圧を必要とするデバイスでは状況が異なる。

NOR型フラッシュメモリの場合について説明すると、図17に示されているように、電源電圧の3Vに対して内部において書き込み／消去に使用される電圧は10V以上であり、その差は3倍以上もある。図17は、NOR型フラッシュメモリに用いられるトランジスタの回路図とメモリセルの読み出し、書き込み、消去時の印加電圧を表示している。フラッシュEEPROMは、積層ゲート型不

揮発性メモリセルを有し、電気的に書き込み可能で一括消去する半導体メモリである。

【0003】

【発明が解決しようとする課題】

一般に、トランジスタのゲート酸化膜の耐圧は、 $10\text{MV}/\text{cm}$ 程度（ゲート酸化膜の耐圧とは、それ以上の電界が印加されると酸化膜が破壊されるときの電界をいう）である。また、そのトランジスタに印加される電圧によってゲート酸化膜をどこまで薄膜化できるかが決まってくる。通常せいぜい破壊に至る半分以下の $5\text{MV}/\text{cm}$ 程度の電界をゲート酸化膜に印加可能な電界の上限と規定している。

トランジスタの性能は、ゲート酸化膜厚に強く依存し、膜厚が薄いほど性能は向上する。これはデバイスのスケーリング則によるものである（スケーリング則については、「超高速MOSデバイス」6~12頁（培風館）参照）。

NOR型フラッシュメモリの場合、モードによって $3\text{V}/10\text{V}$ という3倍以上の異なる電圧が印加される。トランジスタのパラメータをこれに合わせて考えると、印加電圧が 10V の場合には、印加電圧が 3V の場合に比べて3.3倍厚い酸化膜をトランジスタに形成する必要になる。

【0004】

1種類のゲート酸化膜ですべての用途を満たそうとすると、前述したゲート酸化膜の耐圧を考慮しなければならない。使用可能な酸化膜厚の下限は、 20nm 程度になる。そしてすべてのトランジスタを 10V 印加対応の酸化膜厚で形成した場合には 3V 印加系トランジスタに次のような問題が生じる。

① トランジスタの特性劣化が生じる。ゲート酸化膜が厚いので g_m が上がらない。② しきい値を下げることができない。トランジスタのしきい値電圧 V_{th} は、チャネルの不純物濃度の平方根と、ゲート酸化膜厚に比例するので、 10V 印加系のトランジスタではしきい値が高く、低い電圧に対する回路マージンが不足してくる。③ レイアウト面積が増大する。 10V 仕様のトランジスタでは高電圧がかかるために各種デザインルールが広くなり、トランジスタサイズが大きくなる。特に、問題①、②は、電源電圧が低下してきた最近のメモリ／フラッジ

ュメモリ混載ロジックデバイスでは深刻な問題である。

【0005】

このため、特に3V以下の電源電圧(V_{dd})で動作するフラッシュメモリでは、電源電圧 V_{dd} が3Vで動作する3V系トランジスタと電源電圧 V_{dd} が10Vで動作する10V系トランジスタ素子を作り分け、それぞれの素子をゲート酸化膜も含めて全く別個に作るプロセスを用いるのが一般的である。図18にトランジスタ記号の使い分けについて記載する。ゲート部分を薄く描いたもの(図18(a))は、薄いゲート酸化膜を用いたトランジスタ(以下、薄膜ゲート酸化膜トランジスタという)であり、厚く描いたもの(図18(b))は、厚いゲート酸化膜を用いたトランジスタ(以下、厚膜ゲート酸化膜トランジスタという)である。このように、例えば、最近のフラッシュEEPROMではゲート酸化膜作り分けプロセスを用いるのが一般的である。

以下、薄膜ゲート酸化膜トランジスタを低圧系トランジスタといい、厚膜ゲート酸化膜トランジスタを高圧系トランジスタともいう。

従来、電源電圧 V_{dd} が直接印加されるトランジスタ、電源電圧と等価な電圧が印加されるトランジスタ、入力バッファ/出力バッファのように外部とのインターフェース関係のトランジスタには、低圧系トランジスタが使用されていた。これは、電源電圧 V_{dd} で動作するトランジスタの性能を極力良くしてチップ性能を向上させるためである。

【0006】

しかし、この方式では次のようにいくつかの問題がある。

まず、① トランジスタの微細化が進み、外部電源電圧 V_{dd} 以下の電圧で内部を動作させる内部降圧が一般的になると、低圧系トランジスタそのものが電源電圧 V_{dd} 以下の耐圧しか持たない場合が出てくる。

図19は、内部降圧を行う場合の電源系システムを簡略化してまとめたブロック図である。図において、 V_{dd} は、電源電圧として外部よりチップに供給される電圧であり、降圧回路やインターフェース関係の各回路に供給される。内部の主な回路には降圧回路によって定められる電圧が供給され、降圧電位系として動作する。

外部とのインターフェース（データ出力バッファ）は、電源電圧 V_{dd} で動作するため、降圧回路により形成された内部降圧電位が低圧系回路に供給され、低圧系回路からレベルシフタにより電位変換された信号が I/O バッファに与えられる。図 20 は、内部電源電圧降下回路（降圧回路）の 1 例である。

【0007】

図 19 に示す電源系システムにおいて、トランジスタにかかる電圧を考えると、電源電圧 V_{dd} については内部降圧によりトランジスタにかかるストレスの軽減が可能であるが、インターフェースについては電源電圧 V_{dd} が直接印加されることになる。したがって、インターフェース部分の耐圧が律則してトランジスタの微細化が妨げられている。ここでインターフェースとは、入出力バッファ及び降圧回路部分で直接電源電圧 V_{dd} が供給される箇所のことである。

次に、② 同じくインターフェース関係においては、フラッシュ EEPROM で一般的である 3 値制御（入力ピン（入力端子）に V_{dd} をはるかに越える高電圧を与えたときに 3 値目の状態として検知する場合が問題である。図 21 は、3 値目の入力を検知する高電位検知回路の 1 例である。3 値目の電圧としては 12 V が通常使われているが、電源電圧 V_{dd} が 3 V 系のトランジスタにとって定格の 4 倍の電圧がかけられることになり問題①以上に厳しい状態になる。

【0008】

さらに、③ ESD ストレス耐量に関する問題もある。静電気によるパッケージ帶電等の影響で半導体集積回路装置のピン（端子）に瞬時に高電圧が印加されるモードがある (Electro-Static Discharge)。通常入力ピン（入力端子）は、図 22 の回路図及び半導体基板断面図に示すようにパッド（入力端子）近傍に保護素子（逆方向ダイオード／寄生バイポーラ素子）を配置して集積回路内部に過大な電圧が印加されるのを防いでいる。図 22 では、保護素子として保護バイポーラ（図 22 (a)）、 n^+ 拡散領域 - n^+ 拡散領域間の寄生 $n-p-n$ バイポーラトランジスタ（図 22 (b)）、MOS トランジスタの表面ブレークダウンを用いた寄生 $n-p-n$ バイポーラトランジスタ（図 22 (c)）などを用いている。

逆方向ダイオードは、PN 接合からなるが、ブレークダウン電圧はゲート酸化膜の微細化と比例してスケーリングされる訳ではない。薄膜化が進むと酸化膜が

破壊する電圧がP N接合のブレークダウン電圧以下になってしまうケースも考えられる。したがって、微細化デバイスにとってESDストレスは大変に深刻な問題である。

【0009】

また、④ 内部降圧する際の電源電圧Vddが直接印加されるノードは、問題である。内部降圧する場合でも電源電圧Vddと接触するノードは当然存在する。このノードについては、他のインターフェース同様過大な電圧が印加されると酸化膜が破壊され、また、破壊されないまでもデバイスの信頼上大きな問題となる。そのため、インターフェース部分がネックで酸化膜のスケーリングができなくなる場合も考えられる。

本発明は、このような事情によりなされたものであり、低圧系トランジスタ及び高圧系トランジスタ、すなわち、複数のゲート酸化膜厚の異なるトランジスタをトランジスタ特性を損なうことなく1チップに集積する半導体集積回路装置を提供する。

【0010】

【課題を解決するための手段】

本発明の半導体集積回路装置は、異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、前記半導体基板に形成された複数の外部端子とを具備し、前記外部端子に直接接続されるトランジスタには最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを第1の特徴とする。また、本発明の半導体集積回路装置は、異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、前記半導体基板に形成され、インターフェース回路に接続された複数の外部端子とを具備し、外部とのインターフェース部分には最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを第2の特徴とする。また、本発明の半導体集積回路装置は異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、前記半導体基板に形成された内部電源降圧回路と、前記半導体基板に形成された外部電源電圧が印加される複数の外部端子とを具備し、前記内部電源降圧回路に直接接続されるトランジスタには最もゲート酸化膜の薄いトランジ

スタを用い、前記外部端子に直接接続されるトランジスタは、最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを第3の特徴とする。

【0011】

また、本発明の半導体集積回路装置は、異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、前記半導体基板に形成された外部電源電圧を越える3値目の高電圧入力を検知する回路と、前記半導体基板に形成された複数の外部端子とを具備し、前記3値目の高電圧入力を検知する回路を構成する前記外部端子と直接接続しているトランジスタには最もゲート酸化膜の薄いトランジスタ以上のトランジスタを用いることを第4の特徴とする。

また、本発明の半導体集積回路装置は、異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、前記半導体基板に形成され、出力バッファ回路に接続された複数の外部端子とを具備し、前記出力バッファ回路を構成するトランジスタには、最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを第5の特徴とする。また、本発明の半導体集積回路装置は、異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、前記半導体基板に形成され、出力バッファ回路に接続された出力端子とを具備し、前記出力バッファ回路を構成するトランジスタの内、前記出力端子に直接接続しているトランジスタのみに最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを第6の特徴とする。

【0012】

また、本発明の半導体集積回路装置は、異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板と、前記半導体基板に形成され、入力バッファ回路に接続された複数の外部端子とを具備し、前記入力バッファ回路を構成するトランジスタには、最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いることを第7の特徴とする。

さらに、本発明のフラッシュEEPROMは、前記半導体基板に形成されたメモリセルアレイと、前記半導体基板に形成され、前記メモリセルアレイを構成する複数のメモリセルに接続され、これらメモリセルの各ノードを制御する制御回路とを具備し、前記制御回路におけるYセレクタのゲートに、読み出し時内部昇

圧された電位が与えられることを第1の特徴とする。また、本発明のフラッシュEEPROMは、前記半導体基板に形成されたメモリセルアレイと、前記半導体基板に形成され、前記メモリセルアレイを構成する複数のメモリセルに接続され、これらメモリセルの各ノードを制御する制御回路とを具備し、前記制御回路におけるソースデコーダのNMOSドライバゲートに読み出し時内部昇圧された電位が与えられることを第2の特徴とする。

【0013】

すなわち、本発明においては、外部電源と接触しており高い耐圧が必要なノードに厚膜ゲート酸化膜トランジスタを用い、外部電源に接触していないトランジスタには薄膜ゲート酸化膜トランジスタを用いる。これにより、薄膜ゲート酸化膜トランジスタは、内部降圧でコントロール出来る範囲の電圧しか印加されないのでデバイス／回路設計の自由度が飛躍的に広がる。

【0014】

【発明の実施の形態】

以下、図面を参照して発明の実施の形態を説明する。

図1は、半導体集積回路装置が形成されたシリコンなどの半導体基板表面を模式的に示す平面図である。半導体基板1には、例えば、周辺に複数の入力／出力端子23、電源端子(Vdd)21、接地端子(GND)22などの外部端子2が配置されている。半導体基板1内部にはメモリセルアレイなどの集積回路を構成する内部回路4が形成されており、内部回路4は、外部端子2と入力回路もしくは出力回路などのインターフェース回路3を介して接続されている。そして、電源端子21に直接接続されるMOSトランジスタには少なくとも厚膜ゲート酸化膜トランジスタ(図18(b)参照)が用いられる。半導体基板1にはそれぞれ電源端子21、接地端子22に接続されている電源線24及び接地線25が形成されている。厚膜ゲート酸化膜トランジスタの酸化膜厚は、10nmを越えている。好ましくは12～20nmが適当である。この厚さなら5Vを印加することができる。一方、電源端子21に直接接続されない薄膜ゲート酸化膜トランジスタの酸化膜厚は、5Vをかける必要はないので、10nm以下好ましくは、8nm程度以下が適当である。

【0015】

図2は、半導体基板に形成されたデータ出力バッファ回路及びレベルシフタの回路図である。降圧回路（図示せず）で形成された降圧電位の内部出力信号は、レベルシフタに入力され、出力バッファを介して外部端子に出力端子（I/O）から出力される。レベルシフタは、PMOSトランジスタP1、P2、NMOSトランジスタN1、N2及びインバータ回路INVから構成されている。出力バッファは、PMOSトランジスタP3、P4、P5及びNMOSトランジスタN3、N4、N5から構成されている。電源電圧Vddがソースに接続されているPMOSトランジスタP1、P2は、厚膜ゲート酸化膜トランジスタからなる。PMOSトランジスタP1、P2のドレインにドレインが接続されているNMOSトランジスタN1、N2も厚膜ゲート酸化膜トランジスタから構成されている。インバータ回路INVは、NMOSトランジスタN1、N2のゲート間に、このインバータ回路の出力がNMOSトランジスタN2のゲートに入力されるように接続される。PMOSトランジスタP1のゲートは、PMOSトランジスタP2とNMOSトランジスタN2の接続部に接続される。PMOSトランジスタP2のゲートは、PMOSトランジスタP1とNMOSトランジスタN1の接続部に接続される。

【0016】

出力バッファのインバータ回路を構成するPMOSトランジスタP3、インバータ回路を構成するPMOSトランジスタP4及び出力端に接続されたPMOSトランジスタP5のそれぞれのソースに電源電圧Vddが接続されている。したがって、これらのPMOSトランジスタP3、P4、P5は、厚膜ゲート酸化膜トランジスタで構成され、これらトランジスタと接続されるNMOSトランジスタN3、N4、N5も厚膜ゲート酸化膜トランジスタを用いる。

このように、レベルシフタより先のすべてのトランジスタは、厚膜ゲート酸化膜トランジスタ、すなわち、高圧系トランジスタで形成される。この他のトランジスタは、薄膜ゲート酸化膜トランジスタから構成されている。

これは、内部電圧の出力信号を受けて電源電圧Vddレベルにレベルシフト後出力バッファトランジスタに信号を与えている例である。内部電圧降下をしていな

い場合においても、外部端子 I/O に直接接続される出力バッファトランジスタを高電位系で形成することも考えられる。これだけでも従来技術の問題点③である ESD 耐圧不足に対して十分な効果がある。

【0017】

図3は、半導体基板に形成された入力バッファの回路図である。

図2の場合と同様に入力初段に電源電圧 V_{dd} を印加するので ESD 対策として十分に有効である。入力端子にゲートが接続された PMOS トランジスタ P6 及び NMOS トランジスタ N6 はインバータ構造を有しており、いずれも厚膜ゲート酸化膜トランジスタからなる。PMOS トランジスタ P6 のソースは、電源電圧 V_{dd} に接続されている。これらトランジスタは、インバータ INV を介して内部回路に接続されている。

図4は、半導体基板に形成された出力バッファの回路図である。

ここでは ESD 耐圧を高める観点から、出力端子に直接接続されている出力バッファの最終段のみに厚膜ゲート酸化膜トランジスタを用いる。この最終段は、直列に接続された PMOS トランジスタ P7 及び NMOS トランジスタ N7 からなり、PMOS トランジスタ P7 のソースには電源電圧 V_{dd} が印加される。これらトランジスタに接続されるインバータ INV1、INV2 を構成するトランジスタには薄膜ゲート酸化膜トランジスタ、すなわち、低電位系トランジスタが用いられている。

【0018】

図5は、高電位検知回路の回路図である。図21に示す従来の高電位検知回路と回路構成は同じであるが、この回路では入力端子に接続されるトランジスタ及びゲートに電源電圧 V_{dd} が印加されるトランジスタに厚膜ゲート酸化膜トランジスタを用いることで従来とは異なる。すなわち、厚膜ゲート酸化膜トランジスタは、基板電位と同電位のソースが入力端子に接続され、ゲートがドレインに接続された PMOS トランジスタ P8、ソースが PMOS トランジスタ P8 のドレインに接続された PMOS トランジスタ P9、ドレインが PMOS トランジスタ P8 のドレインに接続され、ソースが接地電位 V_{ss} の NMOS トランジスタ N8 に用いられている。3値レベル検知信号は、インバータ INV1、INV2 を介し

て出力される。

本発明が適用されるフラッシュEEPROMでは、3値制御（入力端子にVddをはるかに越える高電圧を与えたときに3値目の状態を検知する場合）が問題である。3値目の電圧としては12Vが通常使われているが、電源電圧Vddが3V系のトランジスタにとっては定格の4倍の電圧がかけられることになり問題①以上に厳しい状態になるが、厚膜ゲート酸化膜トランジスタをこの検知回路に適用することによりこの問題を回避することができる。

【0019】

図6は、内部電源電圧降下回路（降圧回路）の回路図である。

図21に示す従来の降圧回路と回路構成は同じであるが、この回路では電源電圧Vddが印加されるトランジスタに厚膜ゲート酸化膜トランジスタを用いることで従来とは異なる。図19は、内部降圧を行う場合の電源系システムを簡略化してまとめたブロック図である。Vddは、電源電圧として外部よりチップに供給される電圧であり、降圧回路やインターフェース関係の各回路に供給される。内部の主な回路には降圧回路によって定められる電圧が供給され、降圧電位系として動作する。

【0020】

この降圧回路は、基準電圧発生回路で生成された基準電圧Vrefを負入力とする差動増幅器AMP、ゲートが差動増幅器AMPの出力に接続され、ソースが電源電圧Vddに接続されたPMOSトランジスタP10、ドレイン及びゲートがPMOSトランジスタP10のドレインに接続されたNMOSトランジスタN10、ゲートがPMOSトランジスタP10のドレインに接続され、ソースが電源電圧Vddに接続されたNMOSトランジスタN9、直列接続され中点Cが差動増幅器AMPの正入力に接続された抵抗R1、R2から構成されており、この降圧回路から内部電源電圧VddINTが生成される。

この実施例では、PMOSトランジスタP10及びNMOSトランジスタN9、N10に本発明の特徴である厚膜ゲート酸化膜トランジスタを用いる。一方、この降圧回路に直接接続されて降圧電位系で動作するようなトランジスタについては、薄膜ゲート酸化膜トランジスタが用いられる。

【0021】

次に、図7図乃至図10に示す製造工程断面図を参照して厚膜ゲート酸化膜トランジスタ（低圧系トランジスタ）及び薄膜ゲート酸化膜トランジスタ（高圧系トランジスタ）を混載する半導体集積回路装置の製造方法を説明する。この半導体集積回路装置は、例えば、NOR型フラッシュメモリを混載したロジックを備えた多電源装置である。半導体基板1は、例えば、10Vなどで動作する高圧系トランジスタ領域20と、例えば、3Vで動作する低圧系トランジスタ領域30を備えている。

まず、シリコン半導体などの半導体基板1表面にLOCOS法により各領域を分離する厚さ550nmのフィールド酸化膜5を形成する。これを形成するには半導体基板1表面の素子形成領域にマスクを施し、加熱処理を行って素子分離領域を形成する。フィールド酸化膜5を形成することによって半導体基板1は、高圧系トランジスタ領域20及び低圧系トランジスタ領域30にそれぞれ素子分離される（図7（a））。その後、厚さ15nm程度のダミーゲート酸化膜6を熱酸化処理によって半導体基板1上の素子領域に形成する（図7（b））。その後高圧系トランジスタ領域20を露出させたパターンを有するフォトレジスト7を半導体基板1に形成する。

【0022】

そして、このフォトレジスト7をマスクにして高圧系トランジスタ領域20のダミーゲート酸化膜6下に、例えば、ボロンイオンを60KeV、 6×10^{12} atoms/cm²の条件で注入するチャネルイオン注入8を行う（図8（a））。次に、半導体基板1上のフォトレジスト7を酸処理などで取り除いてから低圧系トランジスタ領域30を露出させたパターンを有するフォトレジスト9を半導体基板1に形成する。そして、このフォトレジスト9をマスクにして低圧系トランジスタ領域30のダミーゲート酸化膜6下に、例えば、まずボロンイオンを80KeV、 1.5×10^{12} atoms/cm²の条件で深く注入し、ついでボロンイオンを40KeV、 2.5×10^{12} atoms/cm²の条件で浅く注入してチャネルイオン注入11を行う（図8（b））。

次に、酸処理によりフォトレジスト9を除去してからダミーゲート酸化膜6を

希HF処理により取り去る。次いで、厚さ18nm程度のゲート酸化膜12を高圧系トランジスタ領域20及び低圧系トランジスタ領域30に形成する(図9(a))。次に、高圧系トランジスタ領域20を被覆するフォトレジスト13を半導体基板1に形成し、これをマスクとして低圧系トランジスタ領域30のゲート酸化膜12を希HF処理により取り除く(図9(b))。

【0023】

次に、このフォトレジスト13を酸処理により除去してから半導体基板1を熱処理して、高圧系トランジスタ領域20及び低圧系トランジスタ領域30の表面に厚さ10nm程度のゲート酸化膜を形成する。即ち、高圧系トランジスタ領域20には、ゲート酸化膜12の上にさらに酸化膜を重ねて膜厚20nm程度のゲート酸化膜15を形成し、低圧系トランジスタ領域30には、半導体基板1表面に熱酸化を行って薄い厚さ10nm程度のゲート酸化膜14を形成する。この方法により膜厚の異なるゲート酸化膜が形成される。次に、ゲート電極材料となるポリシリコン膜18をCVD(Chemical Vapour Deposition)法などにより半導体基板1の全面に堆積させてから、このポリシリコン膜18にリンなどの不純物を拡散する(図10(a))。その後ポリシリコン膜18をパターニングし、半導体基板1の表面領域に不純物拡散領域を選択的に形成する。この結果、高圧系トランジスタ領域20には、ソース/ドレイン領域16と、その間の上に形成されたゲート酸化膜15と、その上に形成されたゲート電極18とから構成されたN MOSトランジスタが形成され、低圧系トランジスタ領域30には、ソース/ドレイン領域17と、その間の上に形成されたゲート酸化膜14と、その上に形成されたゲート電極18とから構成されたN MOSトランジスタが形成される(図10(b))。

【0024】

なお、ゲート酸化膜を形成する手段として、上記の酸化膜を重ねて形成する方法を取らないで、それぞれの領域毎に所定の厚さのゲート酸化膜を形成する方法を用いることもできる。

また、ここでは2種類のゲート酸化膜厚を有するトランジスタを形成する場合を示したが、例えば、低圧系トランジスタを電源電圧Vdd系と最もゲート酸化膜

の薄い降圧電位系に作り分けるなどして、3種類以上のゲート酸化膜厚を有するトランジスタを形成しても良い。この場合インターフェイス回路や降圧回路のトランジスタは、V_{dd}系、高圧系のいずれのトランジスタで構成しても良い。

次に、本発明をフラッシュEEPROMを構成する制御回路に適用した実施例について説明する。

まず、フラッシュEEPROMにおける内部昇圧について説明する。

半導体メモリの読み出し系のようにアナログ的要素の大きい回路では、通常のCMOSロジック部分と比較して電源マージンの狭い場合が多い。とくにデバイスの低電圧化が進むにしたがって、アナログ部分の電源マージン不足を補うために回路的な工夫が必要になってくる。

【0025】

以下、フラッシュEEPROMの読み出し回路を説明する。図11は、フラッシュEEPROMのメモリセル断面図及び等価回路図、図12は、セルアレイの回路図である。図中、VGはゲート電圧、VSはソース電圧、VDはドレイン電圧である。メモリセルへのデータ書き込み／消去は浮遊ゲートへ電子を注入し、引き抜くことによって行う。浮遊ゲートに電子が存在する状態では制御ゲートからみたしきい値が高くなつてオフ状態になり、電子が存在しない状態では制御ゲートからみたしきい値が低くなつてオン状態になる。オン状態のしきい値は、2V程度が一般的である。

従来のフラッシュEEPROMにおいて電源電圧は、V_{dd}=5Vが一般的であり、読み出し時にはメモリセルの制御ゲート(VG)にV_{dd}=5Vを直接印加していた。こうした場合、読み出し時オン状態のメモリセルで検出されるセル電流I_{cell}は下記(1)式で表される。

$$I_{cell} = k VD (V_{dd} - V_{THcell} - 1/2 \cdot VD^2) \dots (1)$$

ここで、kは比例定数である。V_{THcell}=2Vの場合は、V_{dd}-V_{THcell}=3Vとなり十分なセル電流I_{cell}が得られる。しかし、低電圧化が進み、V_{dd}=3Vになると、V_{dd}-V_{THcell}=1Vになつてしまつて、十分なセル電流が得られなくなる。

【0026】

このため読み出し時には、例えば、図13に示されるような昇圧回路を用いてメモリセルのワード線にかかる電圧を内部昇圧によって5V程度にする技術が提案されている。図13は、直列に接続された複数のダイオード、ダイオードのアノード／カソード間に接続されたキャパシタからなり、リングオシレータからの逆相の信号がキャパシタに与えられる。

以上、メモリセルのゲート電圧を昇圧する必然性について説明したが、読み出し時のカラムでも同じようなことが起きる。

図14は、フラッシュEEPROMの読み出し回路の概略回路図である。Vbiasは、2V程度に設定され、読み出し時のビット線電圧の上限がリミットされるようになっている。ドレン電圧VDは、ほぼ1Vである。

ビット線BL、/BLの微小な振幅は、負荷Rによって増幅されて、センスアンプAMPに入力されメモリデータの“1”／“0”（オン状態／オフ状態）が判定される。

【0027】

低電位化にともなって問題となってくるのは、Yセレクタの抵抗である。従来の5V動作では読み出し時のYセレクタゲートTr1には電源電圧Vddが印加される。そして、Yセレクタゲートのバイアスは、VG=5V、VS=1Vであるので、Yセレクタの抵抗は、セルの等価抵抗と比較して十分に小さかった。

しかし、電源電圧Vddが低電圧化されて2.7Vあるいはそれ以下になると、VG=2.7V、VS=1VであるからVGS=1.7Vとなり、Yセレクタの等価抵抗が非常に大きくなってくる。つまり、セルに比較して無視できぬほどYセレクタの抵抗が高く、Yセレクタの抵抗値が大きな電源電圧依存性を持つという問題が生じてくる。このため読み出し回路のVddminマージンが大きく損なわれる結果となる。

このような問題の対策として読み出し時にYセレクタにかかる電圧も昇圧電位を用いる。昇圧電位は、外部電源に依存しない一定電位に設定できるために広い電源電圧範囲でもセルまわり（ワード線+Yセレクタ）は、同じバイアス関係で動作することになり、安定した読み出し動作が得られる。

さらに、前述の昇圧電位は、ソースデコーダにも適用できる。これは、読み出

し電位の低電位化にともない、Yセレクタ同様にソースデコーダのNMOSドライバの抵抗が問題になってくるからである。

【0028】

図15は、フラッシュEEPROMのブロックダイアグラム図、図16は、フラッシュEEPROMのメモリセルに対する制御回路を簡略化したブロック図である。こうした制御回路の中でソースデコーダは、消去時にハイレベル、それ以外はロウレベルを出力する回路である。図16では、ソースデコーダの機能を簡略化してインバータとして表現しているが実際は様々な構成を有している。

しかも、Yセレクタ、ソースデコーダともに書き込み消去時に高い電圧を印加するため、ここでのトランジスタには一般的に低電圧動作には適さない厚膜ゲート酸化膜トランジスタ、すなわち、高圧系トランジスタが使用される。したがって、これらYセレクタのゲートやソースデコーダのNMOSドライバゲートに昇圧電位を用いることは、読み出し時に安定動作を図る上で非常に有効である。

【0029】

本発明は、以上のような構成により、次のような作用が認められる。

(1) インターフェース関係

素子の微細化にともない低電圧化が進んでいるが、システムによってはいまだ5Vを使用しているものも多い。そのため、デバイスに要求される機能として動作可能な電源電圧範囲が広いことが重要になってくる。このことは微細化を進めていく上で弊害となって見えてくる。一般に例えば2V～5Vのような広い電源電圧範囲でデバイス動作を保証する場合には内部降圧回路を使用し、内部の電源電圧が上がり過ぎないようにする。過度の電圧ストレスは電圧降下回路にもっぱら印加されることになるがインターフェース関係はまた事情が異なり、電源電圧そのものがトランジスタに印加されることになる。したがって、すべてのトランジスタについてインターフェース部分の耐圧で律則させると、デバイスをスケーリングして高性能化をはかっているにもかかわらず、広範囲動作を保証したためにインターフェース部分がネックになりデバイスのスケーリングができなくなるなどという本末転倒なことが起きてしまう。これに対し、インターフェース回路で外部と接触しているノードに耐圧の高い厚膜ゲート酸化膜トランジスタを用い

れば、薄膜デバイスは内部降圧でコントロール出来る範囲の電圧しか印加されないことになり、デバイス／回路設計の自由度が飛躍的に広がる。

【0030】

(2) 3値制御

(1) のケースのように、内部降圧しなければならないような薄膜デバイスにとっては3値目のレベルである12Vがかかるということは非常に深刻な問題である。チップ内部の電圧については内部電源コントロールにより過度なストレスが印加されない状態にすることが可能であるが、インターフェース部分は外部からの電圧が直接印加されるので回路的な対策ではストレス緩和できない。このようなケースで10V以上の耐圧を有するトランジスタが使用できるならば酸化膜にかかるストレスの問題はいっきに解消される。

(3) ESD

ゲート酸化膜が厚ければ電界が弱くなるのでESD保護の耐圧を高めに設定できる。

(4) 電源電圧降下回路を用いたときの電源電圧Vddと接触するノードにかかる電圧ストレスもゲート酸化膜の厚膜化によって電界が緩和される。

【0031】

【発明の効果】

以上詳述した通り、本発明によれば、この外部と接触しているノードに耐圧の高い厚膜ゲート酸化膜トランジスタを用いることにより、薄膜ゲート酸化膜トランジスタを用いたデバイスは内部降圧でコントロール出来る範囲の電圧しか印加されないことになり、デバイス／回路設計の自由度が飛躍的に広がる。又ゲート酸化膜が厚いほど電界が弱くなるのでESD保護の耐圧を高めに設定できる。

【図面の簡単な説明】

【図1】

本発明の半導体集積回路装置の平面図。

【図2】

本発明の半導体集積回路装置の出力バッファ回路及びレベルシフタ回路図。

【図3】

本発明の半導体集積回路装置の入力バッファ回路図。

【図4】

本発明の半導体集積回路装置の出力バッファ回路図。

【図5】

本発明の半導体集積回路装置の高電位検知（3値制御）回路図。

【図6】

本発明の半導体集積回路装置の内部電源降圧回路図。

【図7】

本発明の半導体集積回路装置の製造工程断面図。

【図8】

本発明の半導体集積回路装置の製造工程断面図。

【図9】

本発明の半導体集積回路装置の製造工程断面図。

【図10】

本発明の半導体集積回路装置の製造工程断面図。

【図11】

不揮発性メモリセルの断面図及びその等価回路図。

【図12】

フラッシュEEPROMのメモリセルアレイの回路図。

【図13】

フラッシュEEPROMの昇圧回路図。

【図14】

フラッシュEEPROMの読み出し回路図。

【図15】

フラッシュEEPROMの回路ブロック図。

【図16】

フラッシュEEPROMセルの制御回路図。

【図17】

NOR型フラッシュEEPROMセル及びその各モードの動作電圧図。

【図18】

本発明に用いるトランジスタの記号の説明図。

【図19】

内部電源降圧を用いた場合の電源系システム図。

【図20】

内部電源降圧回路を示す回路図。

【図21】

3値目の入力を検知する回路を示す回路図。

【図22】

端子の保護素子を示す回路図及び半導体基板断面図。

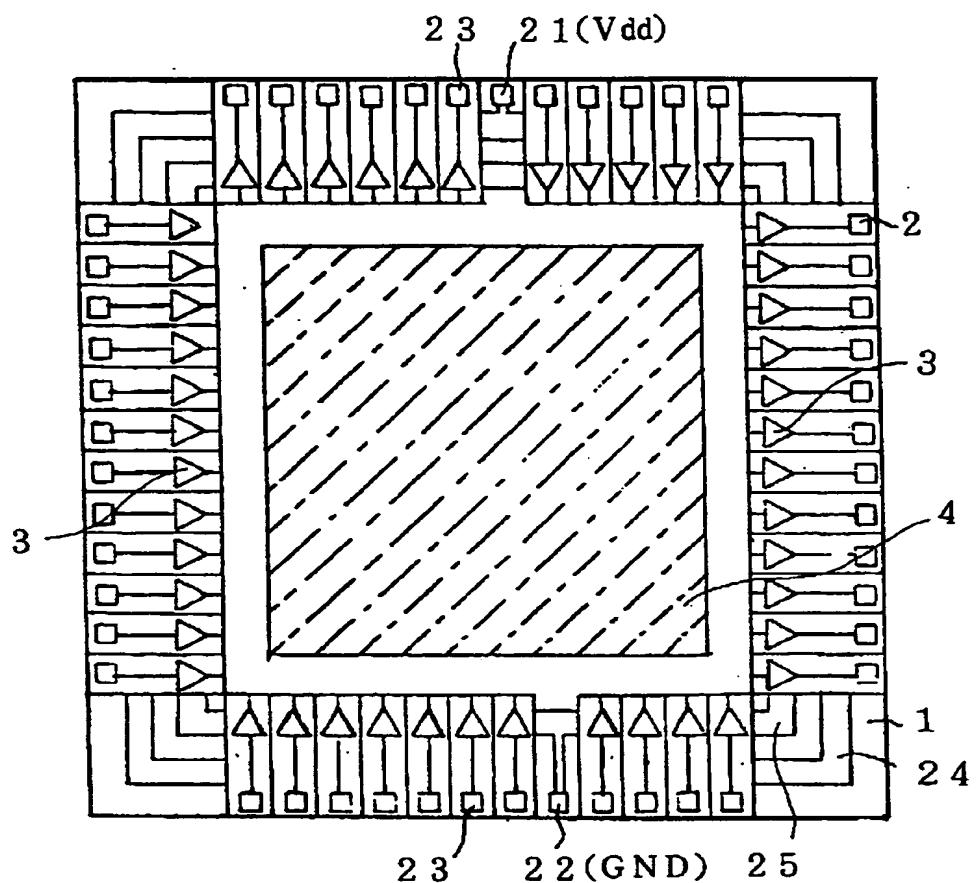
【符号の説明】

- 1 . . . 半導体基板、 2 . . . 外部端子、
- 3 . . . インタフェース回路、 4 . . . 内部回路、
- 5 . . . フィールド酸化膜、 6 . . . ダミーゲート酸化膜、
- 7、9、13 . . . フォトレジスト、 8、11 . . . イオン注入、
- 12、14、15 . . . ゲート酸化膜、
- 16、17 . . . ソース／ドレイン領域、 18 . . . ゲート電極、
- 20 . . . 高圧系トランジスタ領域、 21 . . . 電源端子、
- 22 . . . 接地端子、 23 . . . 入力端子もしくは出力端子、
- 24 . . . 電源線、 25 . . . 接地線、
- 30 . . . 低圧系トランジスタ領域。

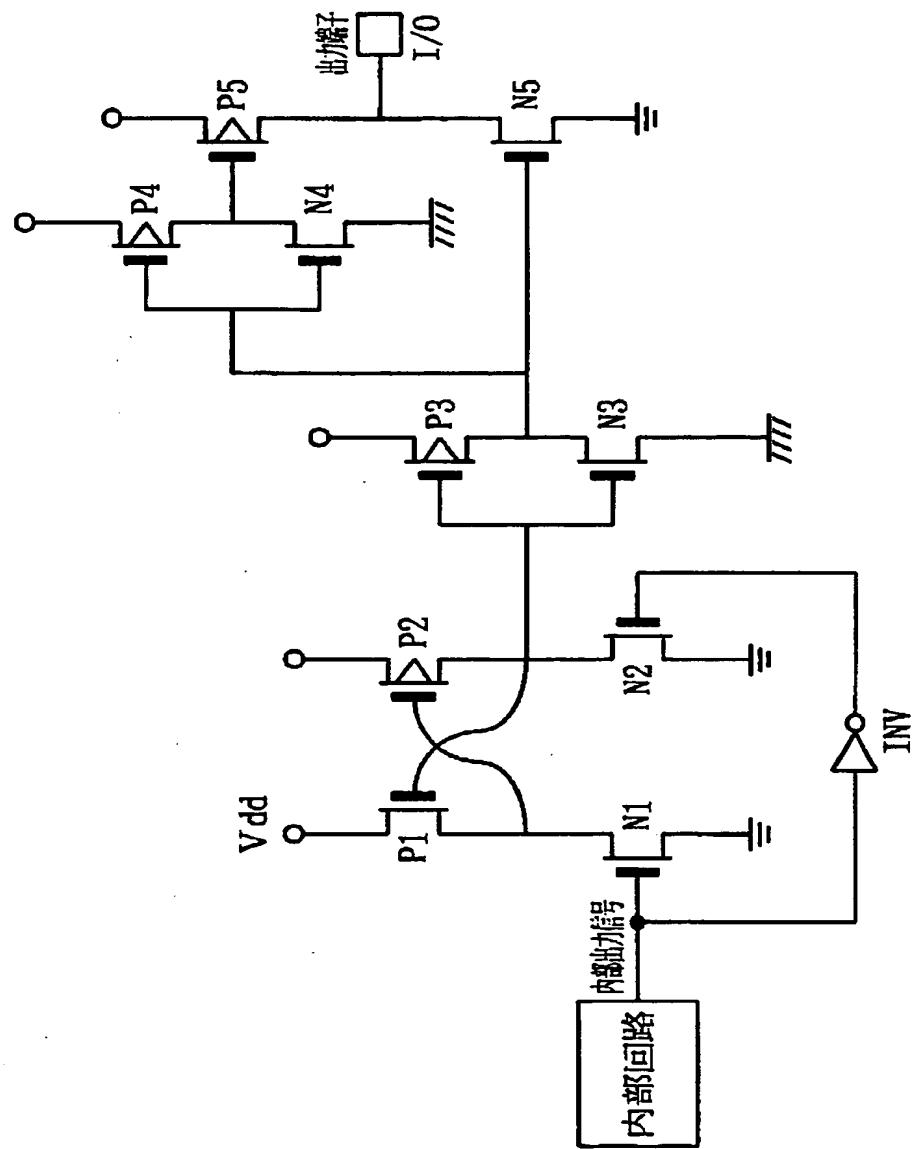
【書類名】

図面

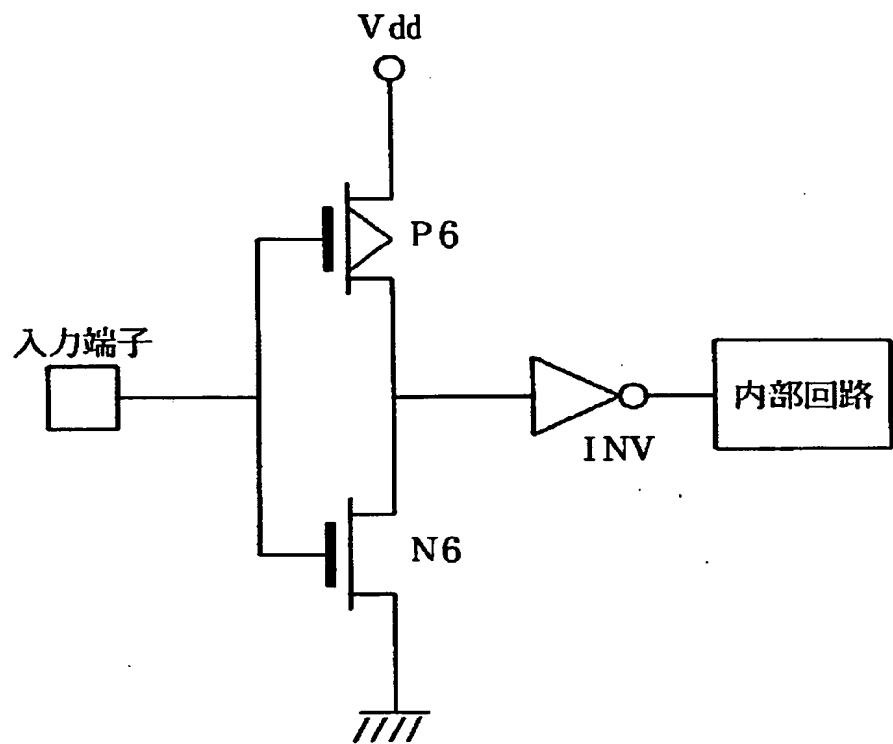
【図1】



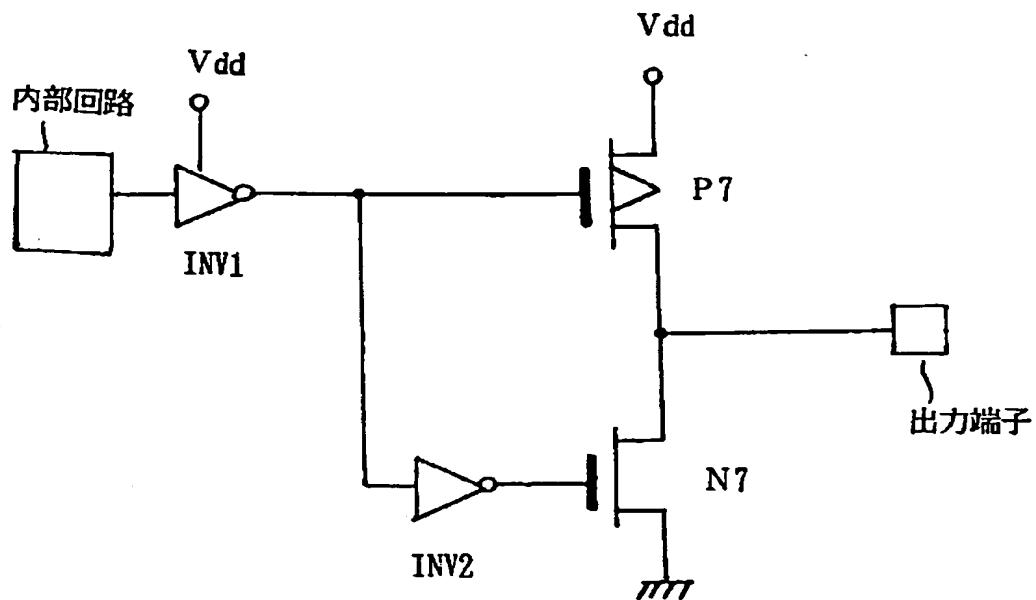
【図2】



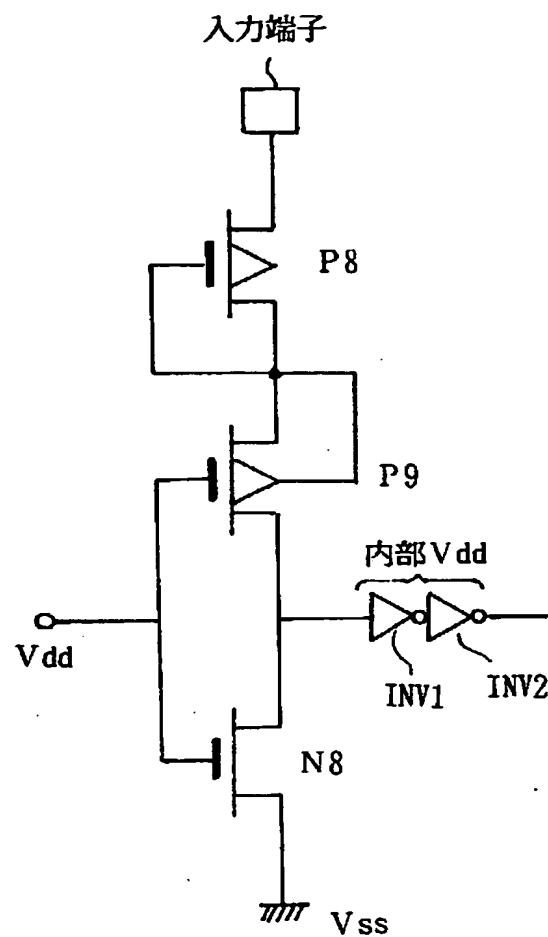
【図3】



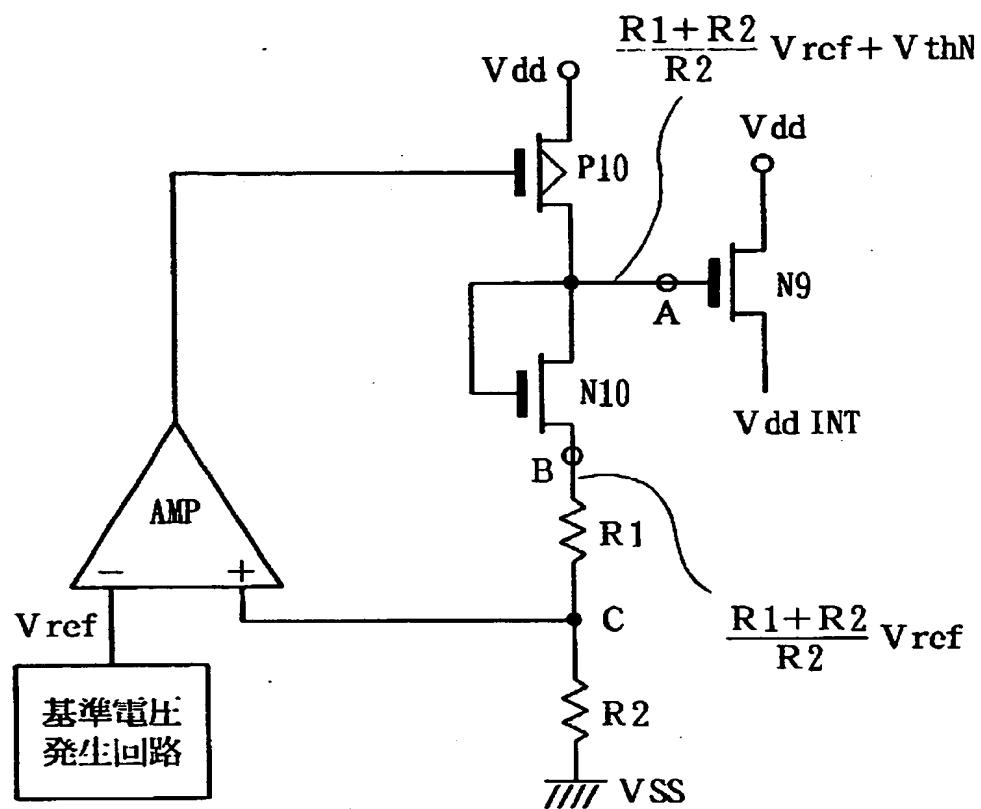
【図4】



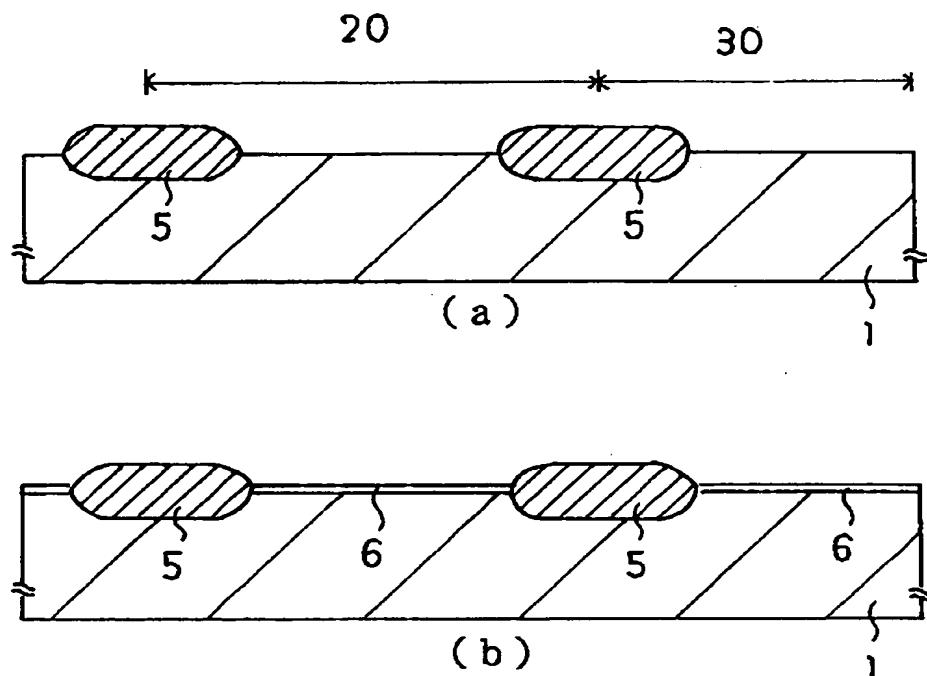
【図5】



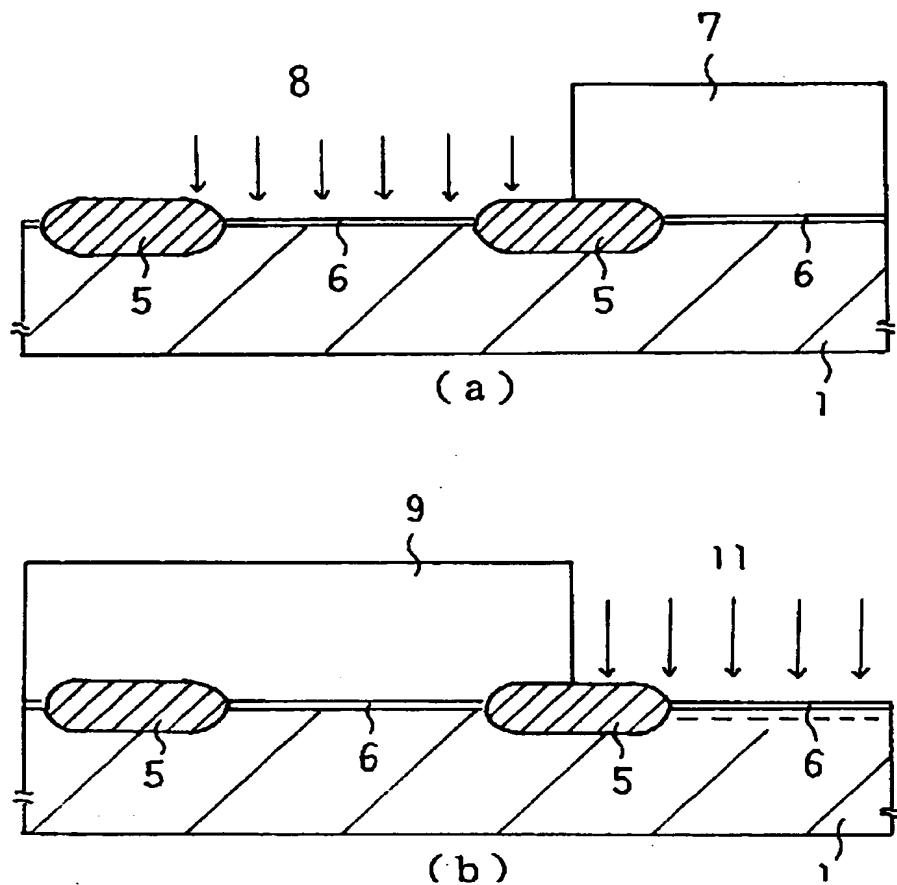
【図6】



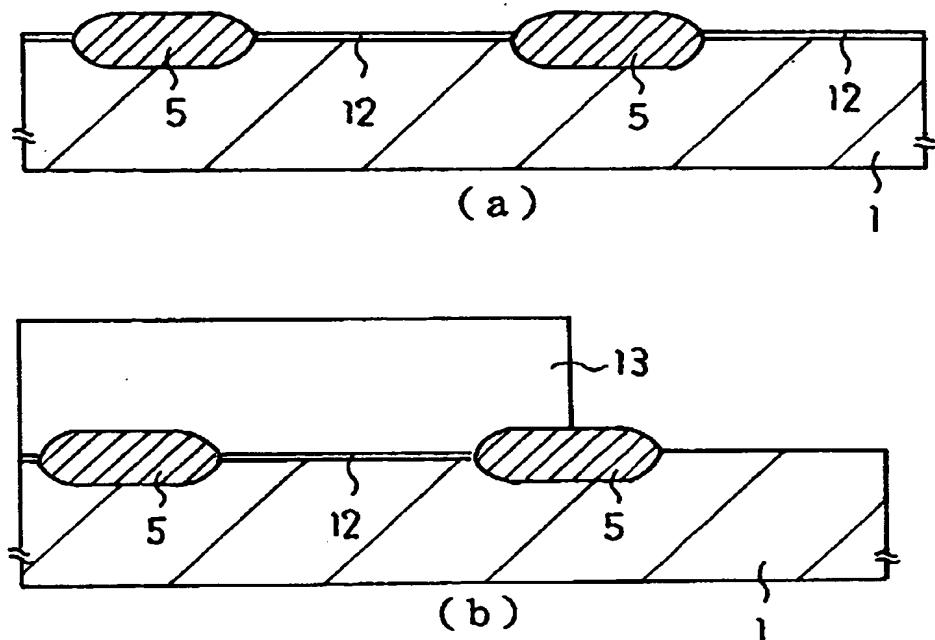
【図7】



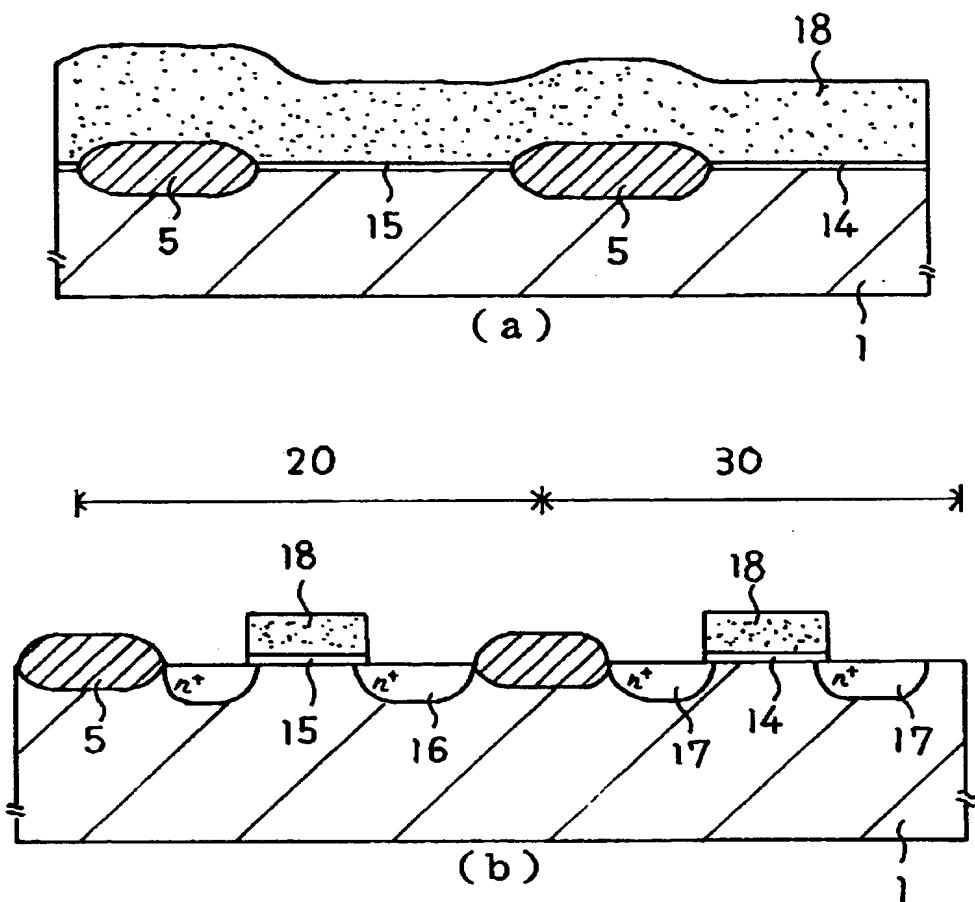
【図8】



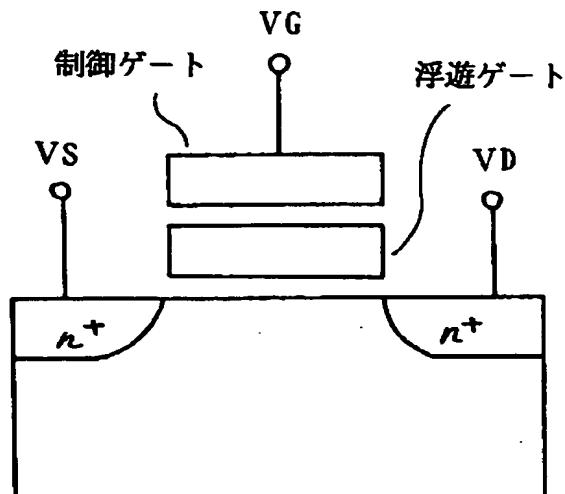
【図9】



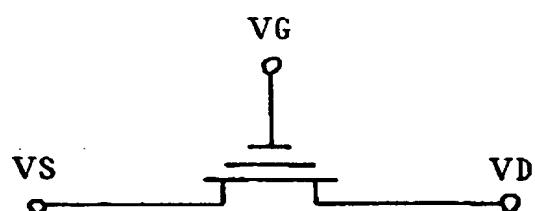
【図10】



【図11】

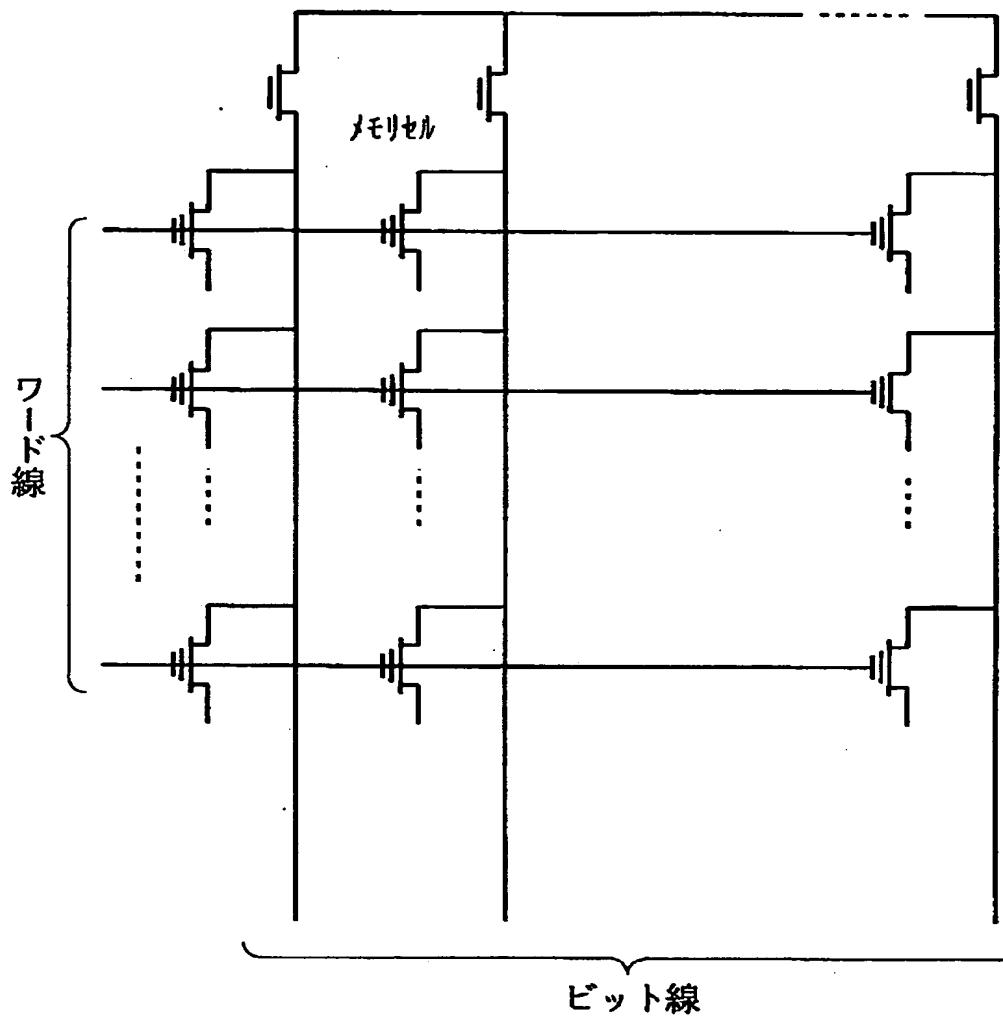


(a)

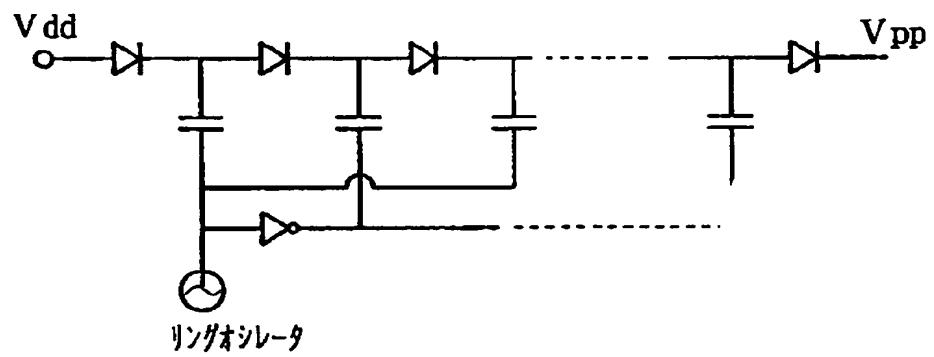


(b)

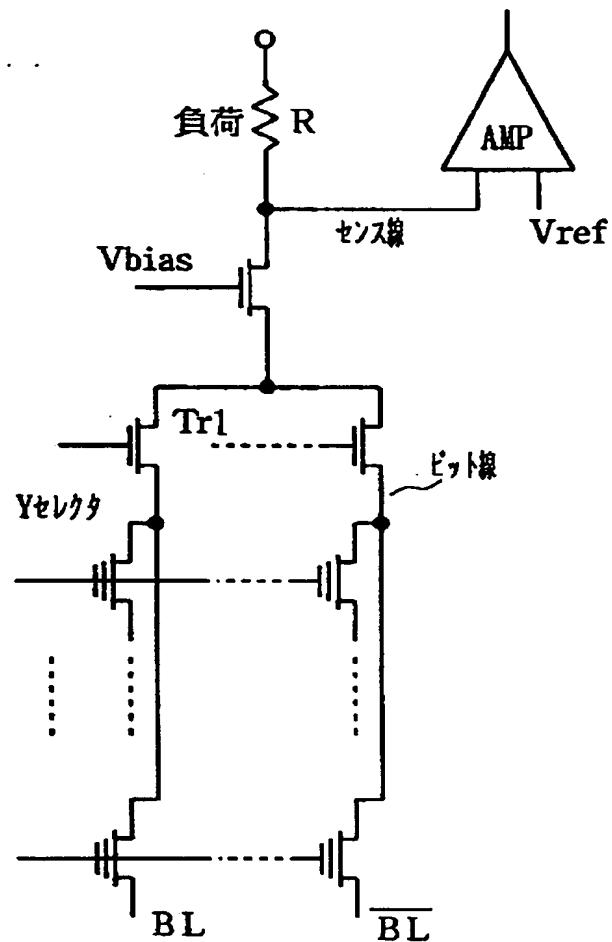
【図12】



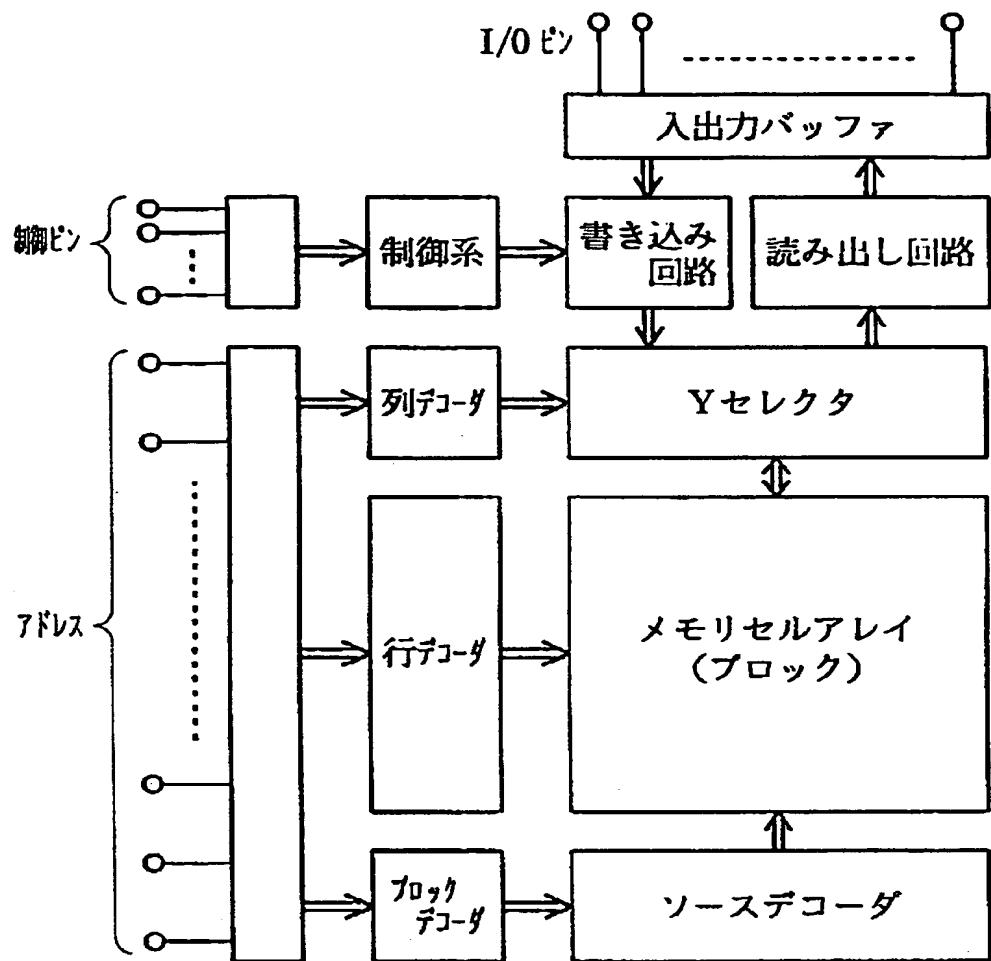
【図13】



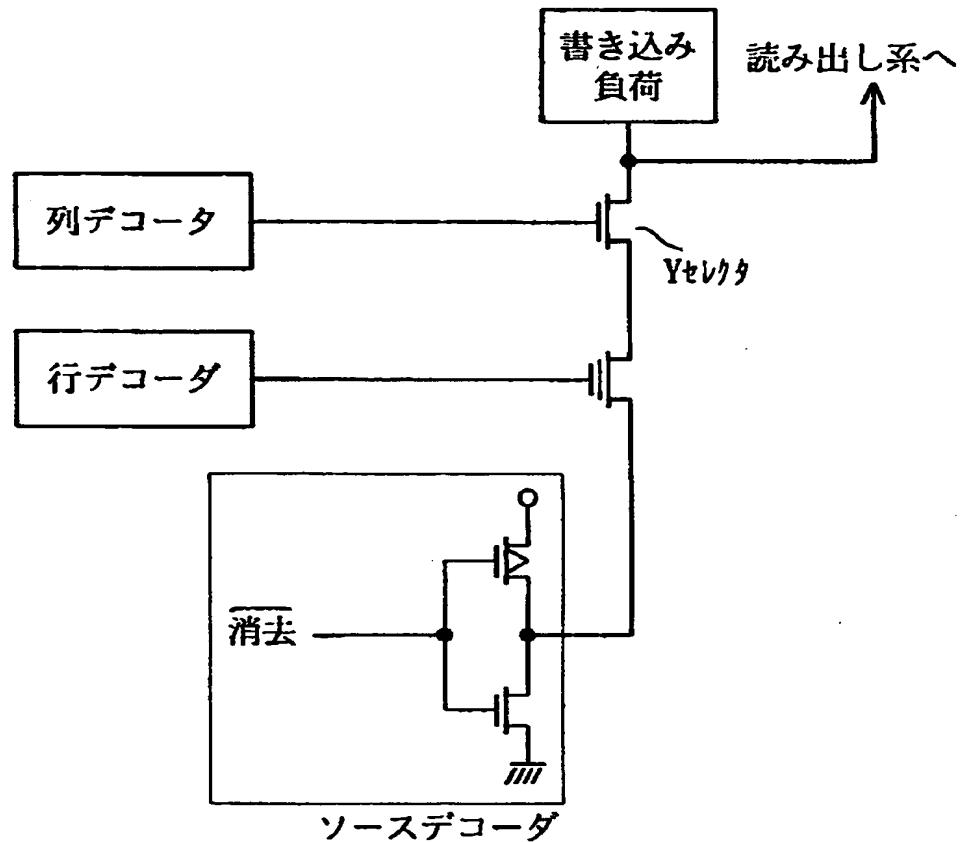
【図14】



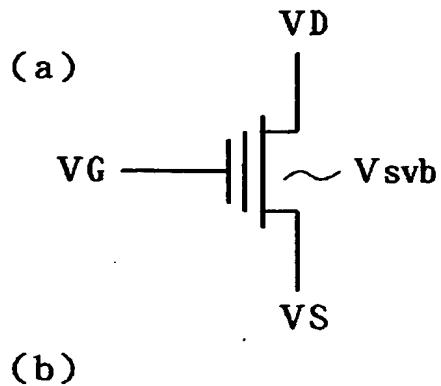
【図15】



【図16】



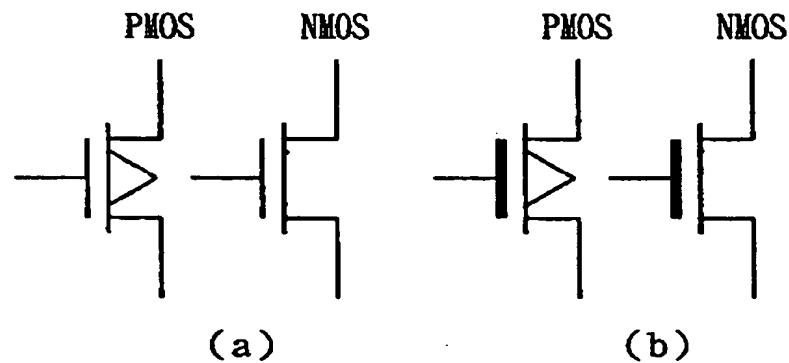
【図17】



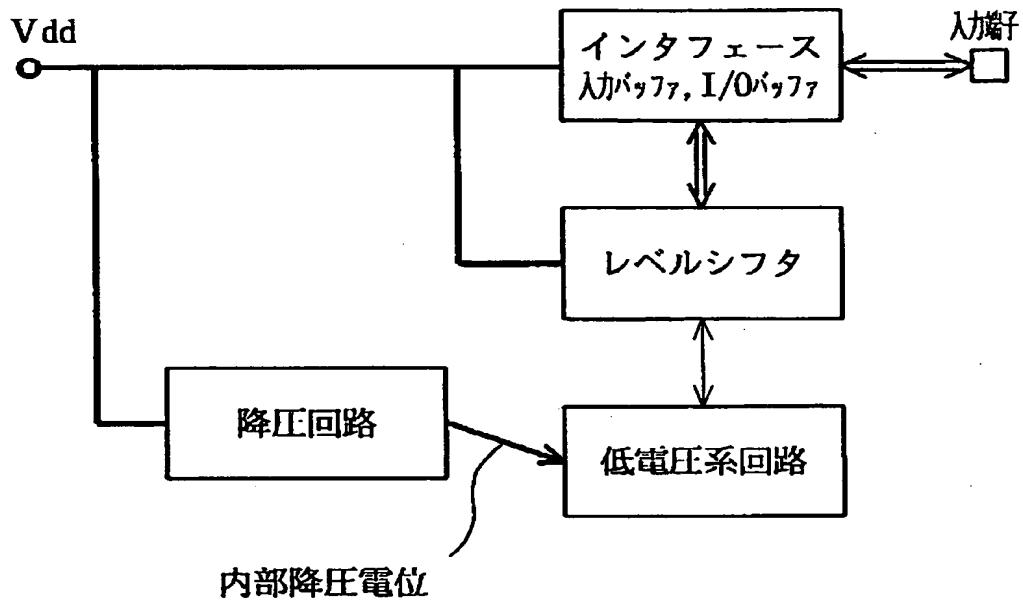
(b)

	VD	VG	VS	Vsvb
読み出し	1 V	5 V	0 V	0 V
書き込み	5 V	10 V	0 V	0 V
消去	Open	-7 V	6 V	0 V

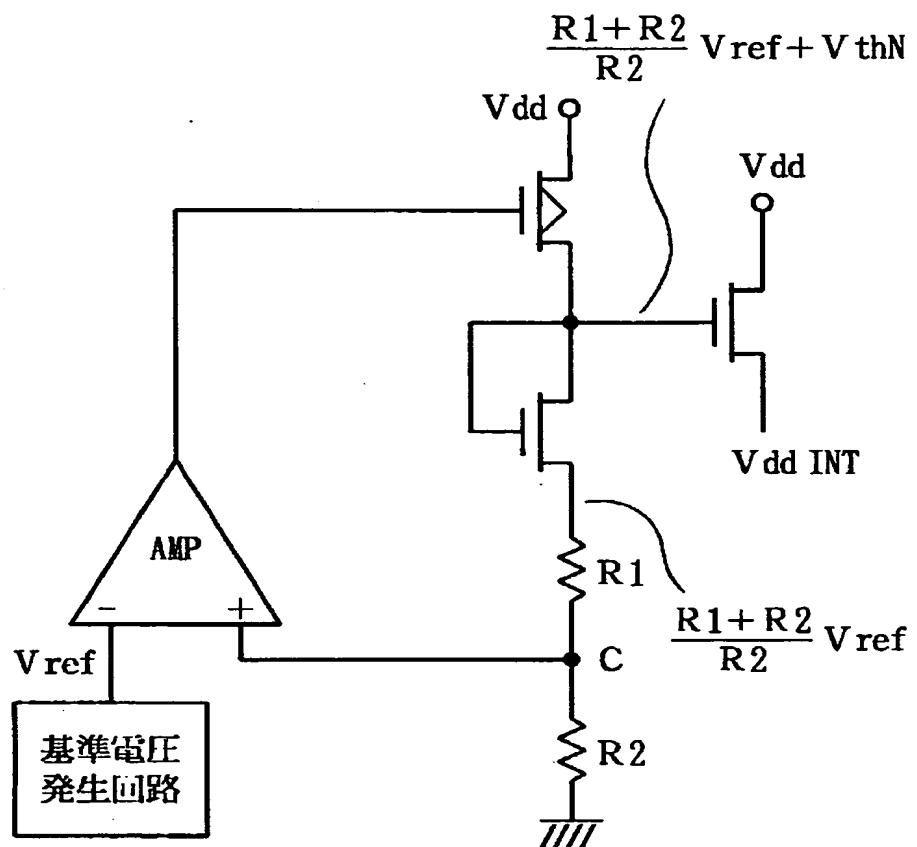
【図18】



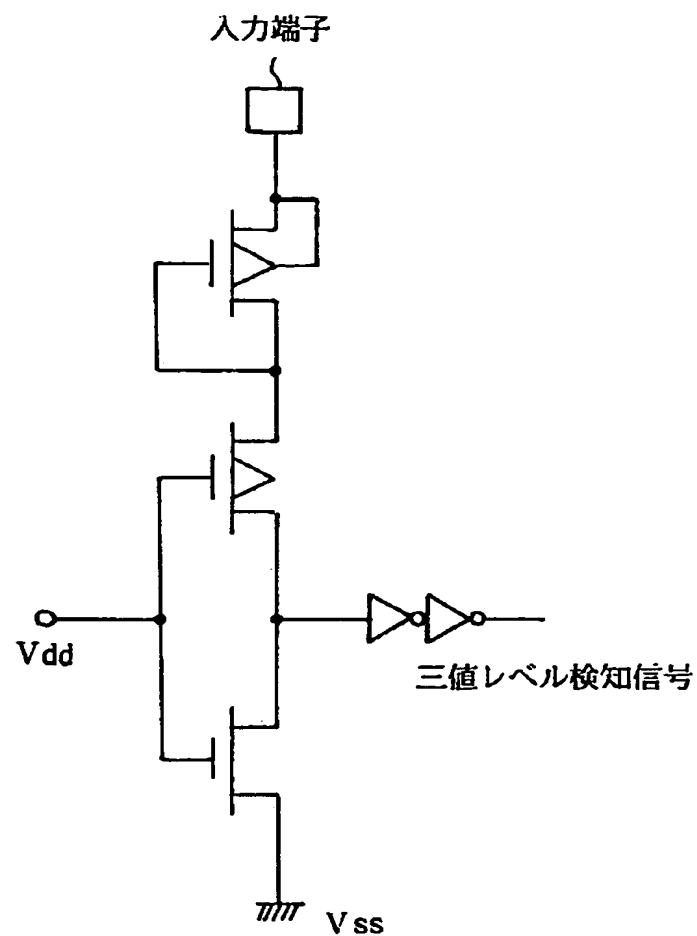
【図19】



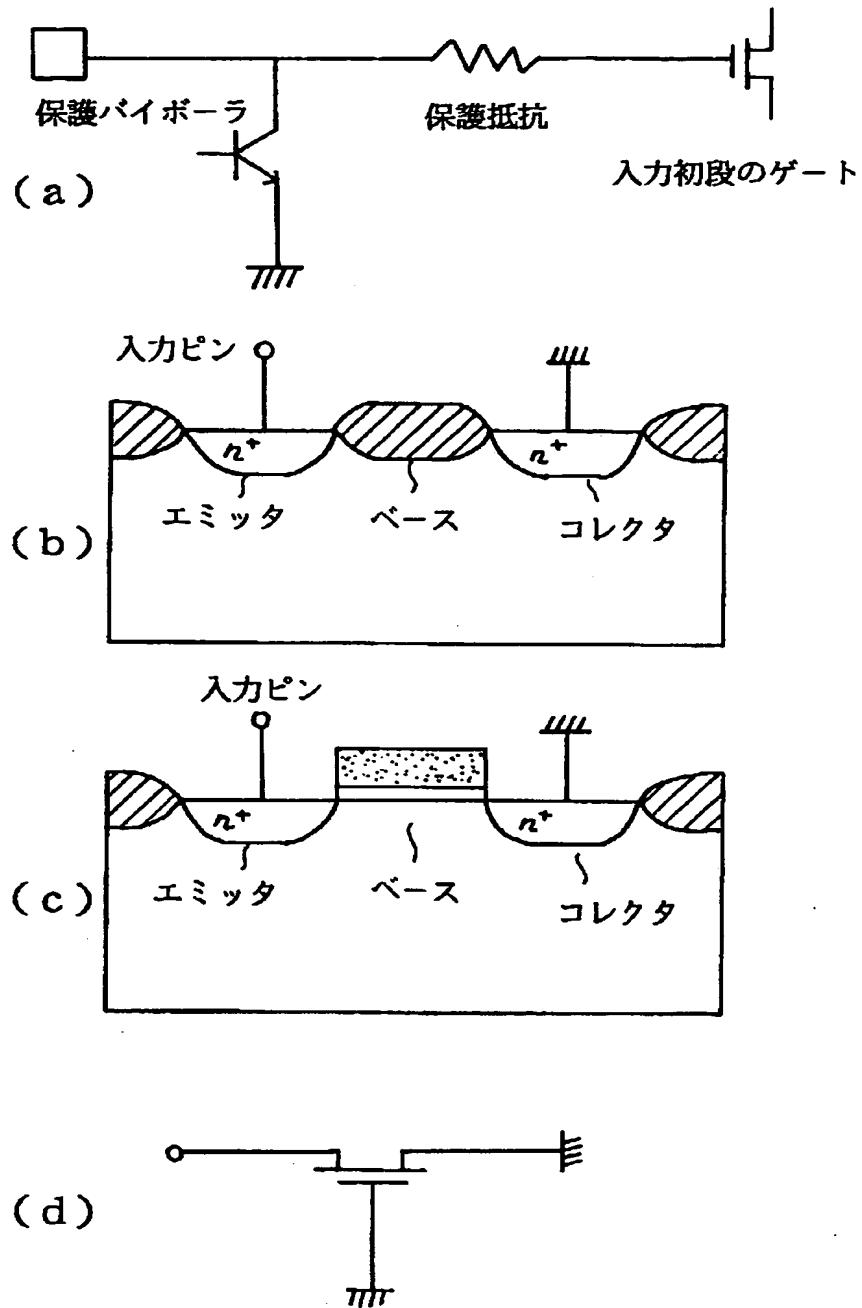
【図20】



【図21】



【図22】



【書類名】

要約書

【要約】

【課題】 複数のゲート酸化膜厚の異なるトランジスタをトランジスタ特性を損なわずに1チップに集積する半導体集積回路装置を提供する。

【解決手段】 異なる2種類以上のゲート酸化膜厚を有する複数のトランジスタが形成された半導体基板の複数の外部端子（出力端子）は、インターフェース回路を介して内部回路に接続されている。前記外部端子に直接接続されるトランジスタP7、N7には最もゲート酸化膜の薄いトランジスタ以外のトランジスタを用いる。このように外部電源と接触しており高い耐圧が必要なノードに厚膜ゲート酸化膜トランジスタを用い、外部電源に接触していないトランジスタには薄膜ゲート酸化膜トランジスタを用いる。これにより、薄膜ゲート酸化膜トランジスタは、内部降圧でコントロール出来る範囲の電圧しか印加されないのでデバイス／回路設計の自由度が飛躍的に広がる。

【選択図】

図4

【書類名】 職権訂正データ
【訂正書類】 特許願

＜認定情報・付加情報＞

【特許出願人】

【識別番号】 000003078
【住所又は居所】 神奈川県川崎市幸区堀川町72番地

【氏名又は名称】 株式会社東芝

【代理人】

【識別番号】 100097629
【住所又は居所】 東京都台東区元浅草4丁目4番15号 小野ビル3
02号 竹村特許事務所

【氏名又は名称】 竹村 壽

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝